

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

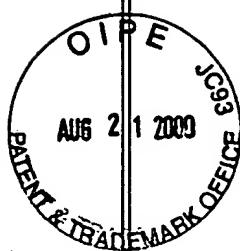
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



2766
PATENT

RECEIVED Docket No. 678-509 (P9463) #2

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANT(S): Jae-Yoel Kim et al. — TECH CENTER 2700

SERIAL NO.: 09/611,518 —

FILED: July 7, 2000 —

FOR: APPARATUS AND METHOD FOR GENERATING—
SCRAMBLING CODE IN UMTS MOBILE—
COMMUNICATION SYSTEM —

Dated: August 17, 2000

Assistant Commissioner
for Patents
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT

Sir:

Enclosed is a certified copy of Korean Appln. No. 99-27279 filed on July 7, 1999 and from which priority is claimed under 35 U.S.C. §119.

Respectfully submitted,


Paul J. Farrell

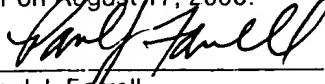
Reg. No. 33,494
Attorney for Applicant(s)

DILWORTH & BARRESE
333 Earle Ovington Blvd.
Uniondale, NY 11553
(516) 228-8484

CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail, postpaid in an envelope addressed to the: Assistant Commissioner for Patents, Washington, D.C. 20231 on August 17, 2000.

Dated: August 17, 2000


Paul J. Farrell



RECEIVED

9463-45

AUG 28 2000

TECH CENTER 2700

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 1999년 제 27279 호
Application Number

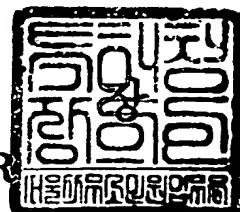
출원년월일 : 1999년 07월 07일
Date of Application

출원인 : 삼성전자 주식회사
Applicant(s)

2000 07 월 26 일

특허청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0009
【제출일자】	1999.07.07
【국제특허분류】	H04M
【발명의 명칭】	이동통신시스템의 스크램블링 코드 생성 장치 및 방법
【발명의 영문명칭】	METHOD AND APPARATUS FOR GENERATION SCRAMBLING CODE IN UMTS MOBILE COMMUNICATION SYSTEM
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이건주
【대리인코드】	9-1998-000339-8
【포괄위임등록번호】	1999-006038-0
【발명자】	
【성명의 국문표기】	김재열
【성명의 영문표기】	KIM, Jae Yael
【주민등록번호】	700219-1047637
【우편번호】	435-042
【주소】	경기도 군포시 산본2동 산본9단지 백두아파트 960동 1401호
【국적】	KR
【발명자】	
【성명의 국문표기】	강희원
【성명의 영문표기】	KANG, Hee Won
【주민등록번호】	680119-1051636
【우편번호】	131-207
【주소】	서울특별시 종량구 면목7동 1499번지 용마 동아아파트 10동 902호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 주 (인) 이건

1019990027279

2000/7/2

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	18	면	18,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	47,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】

【요약】

본 발명은 국제이동전화서비스(UMTS) 이동통신시스템의 스트램블링 코드 생성장치 및 방법에 관한 것이다. 본 발명은 기지국 구분을 위한 일차적 스트램블링 코드와 채널 구분을 위한 다수의 이차적 스트램블링 코드로 구성되는 스트램블링 코드를 사용하는 국제이동전화서비스(UMTS) 이동통신시스템의 다운링크 송신기에서 스트램블링 코드 생성장치에 있어서, 제1엠 시퀀스를 생성하는 제1 엠 시퀀스 발생기와, 제2엠 시퀀스를 생성하는 제2 엠 시퀀스 발생기와, 상기 제1엠 시퀀스와 제2엠 시퀀스를 가산하여 일차적 스트램블링 코드를 출력하는 제1가산기와, 상기 제1엠 시퀀스를 일정 길이 단위로 순환 이동시켜 출력하는 다수의 제1마스킹부와, 상기 제1마스킹부 각각에 대응되고 제2엠 시퀀스를 일정 길이 단위로 순환 이동시켜 출력하는 다수의 제2마스킹부와, 상호 대응되는 상기 제1마스킹부와 제2마스킹부들 사이에 각각 연결되고, 상기 해당 제1마스킹부와 제2마스킹부에서 출력되는 값을 가산하여 이차적 스트램블링 코드를 출력하는 다수의 제2가산기로 이루어져 상기 일차적 스트램블링 코드와 다수의 이차적 스트램블링 코드 순으로 순차적 구성됨을 특징으로 한다.

【대표도】

도 7

【색인어】

umts, scrambling code, multi

【명세서】**【발명의 명칭】**

이동통신시스템의 스크램블링 코드 생성 장치 및 방법{METHOD AND APPARATUS FOR GENERATION SCRAMBLING CODE IN UMTS MOBILE COMMUNICATION SYSTEM}

【도면의 간단한 설명】

도1은 일반적인 UMTS 이동통신시스템의 다운링크 송신기 블록 구성도를 나타낸 도면.

도2는 일반적인 UMTS 이동통신시스템의 다운링크 송신기의 스크램블링 코드 그룹 생성기의 블록 구성도를 나타낸 도면.

도3은 일반적인 UMTS 이동통신시스템의 다운링크 수신기의 블록 구성도를 나타낸 도면.

도4는 일반적인 UMTS 이동통신시스템의 다운링크 수신기의 스크램블링 코드 그룹 생성기의 블록 구성도를 나타낸 도면.

도5는 일반적인 UMTS 이동통신시스템의 스크램블링 코드 그룹 생성기의 구체적인 구성을 나타낸 도면.

도6은 본 발명의 제1실시 예에 따른 스크램블링 코드 구조를 나타낸 도면.

도7은 본 발명의 제1실시 예에 따른 UMTS 이동통신시스템의 다운링크 송신기의 스크램블링 코드 그룹 생성기의 상세 구성을 나타낸 도면.

도8은 본 발명의 제1실시 예에 따른 UMTS 이동통신시스템의 다운링크 수신기의 스크램블링 코드 그룹 생성기의 상세 구성을 나타낸 도면.

도9는 본 발명의 제2실시 예에 따른 스크램블링 코드의 구조를 나타낸 도면.

도10은 본 발명의 제2실시 예에 따른 UMTS 이동통신시스템의 다운링크 송신기의 스크램블링 코드 그룹 생성기의 상세 구성을 나타낸 도면.

도11은 본 발명의 제2실시 예에 따른 UMTS 이동통신시스템의 다운링크 수신기의 스크램бл링 코드 그룹 생성기의 상세 구성을 나타낸 도면.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12> 본 발명은 이동통신 시스템의 스크램블링 코드(Scrambling Code) 생성 장치 및 방법에 관한 것으로, 특히 마스킹 코드에 의해 다중 스크램블링 코드(Scrambling Code)를 생성하는 장치 및 방법에 관한 것이다.

<13> 일반적으로 부호 분할을 수행하는 이동통신시스템(이하 CDMA 시스템이라 칭한다)은 기지국구분을 위해 스크램블링 코드를 사용한다. 그리고, 유럽방식인 W-CDMA의 UMTS 표준안에서는 스크램블링 코드를 일정 길이의 그룹으로 구분하여 다중 스크램블링 코드를 생성하며, 상기 UMTS 이동통신시스템에서는 스크램블링 코드를 상기 CDMA 시스템의 스크램블링 코드의 목적인 기지국구분 이외에도 용량 증대를 위한 방법 중에 한 가지로써, 여러개의 스크램블링 코드(Scrambling Code) 그룹 각각에 대한 직교부호(orthogonal

code)를 사용하여 채널 구분(channel separation)을 하는 방법을 사용하고 있다. 즉, 이동통신시스템이 하나의 스크램블링 코드 그룹에 대해서 채널구분(channelization)을 위한 직교부호를 다 써버리고, 더 이상의 할당할 수 있는 직교부호가 없으면 상기의 스크램블링 코드 그룹과 다른 또 하나의 스크램블링 코드 그룹을 사용하여 상기 스크램블링 코드 그룹의 길이와 직교부호 길이 만큼 더 채널을 구분하여 사용할 수 있다. 상기의 여러개의 스크램블링 코드 그룹으로 구성되는 다중 스크램블링 코드를 구비하기 위하여 UMTS 이동통신시스템에서는 스크램블링 코드로써 길이 $2^{18}-1$ 인 골드 시퀀스가 사용한다. 상기의 $2^{18}-1$ 인 골드 시퀀스는 $2^{18}-1$ 개의 서로 다른 골드코드가 한 군(Group)을 이루며, 이 군내의 골드 시퀀스끼리는 서로 상관도 성질이 우수하다. 이 때, 스크램블링을 위하여 상기 길이 $2^{18}-1$ 인 골드 시퀀스를 38400칩 길이로 나누어 반복 사용하게 된다.

<14> 상기의 기지국 구분을 위하여 사용하는 스크램블링 코드 그룹을 일차적 스크램블링 코드(Primary Scrambling code)라 칭하고, 상기 일차적 스크램블링 코드를 제외한 상기의 채널 구분(channel separation)을 목적으로 사용되는 스크램블링 코드 그룹을 이차적 스크램블링 코드(Secondary Scrambling Code)라 칭한다. 이때, 기지국은 모든 단말기들에게 공통으로 전송하는 공통제어채널들에 대해서는 반드시 항상 기지국 고유의 일차적 스크램블링코드들을 사용한다. 상기 기지국은 인접된 기지국사이에서 단말기가 기지국을 구별할 수 있도록 하여야 하기 때문에, 셀반경을 고려하여 일차적 스크램블링 코드의 개수를 결정해야 한다. 다시 말하면, 동일한 일차적 스크램블링 코드를 사용하는 기지국의 신호가 단말에 동시에 잡히지 않

도록하기위하여 일차적 스크램블링 코드 개수는 충분히 큰값인 512개를 사용한다. 따라서, 각각의 인접된 기지국들은 상기 512개의 일차적 스크램블링 코드 중 서로 다른 일차적 스크램블링 코드를 사용하게 된다. 또, 채널 구분(channel separation)을 목적으로 더 이상의 할당할 수 있는 직교부호가 없을 때, 쓰이는 이차적 스크램블링 코드는 각각의 기지국에서 사용하는 일차적 스크램블링 코드에 대응되는 다수개의 이차적 스크램블링 코드 그룹의 집합에서 기지국에 의해 선택되어져 사용된다.

<15> 상기와 같이 다중 스크램블링을 사용하는 예는 UMTS의 다운링크(downlink)를 들 수 있다. 이하에서 스크램블링 코드를 칭함에 있어서, 상기 스크램블링 코드와 동일한 코드를 나타내는 골드 코드 또는 골드 시퀀스를 혼용하여 칭함을 유의하기 바란다.

<16> 도1은 UMTS 이동통신시스템의 다운링크(downlink) 송신기의 구조를 도시하는 도면이다. 도1을 참조하면 먼저 채널부호화되고 인터리빙이 되어진 전용물리제어채널(Dedicated Physical Control Channel:DPCCH)과 전용물리데이터채널1(Dedicated Physical Data Channel: DPDCH1), ..., 전용물리데이터채널N(DPDCHN)신호들이 디멀티플렉서100, 102, ..., 104에 각각 입력되면 디멀티플렉서100, 102, ..., 104는 각각의 DPCCH와 DPDCH1, ..., DPDCHN신호들을 I/Q신호로 나누어 출력한다. 이때, 디멀티플렉서100에서 나뉘어져 출력된 I/Q신호들은 각각 승산기 110, 111로 입력한다. 상기 I/Q 신호를 입력받은 승산기 110, 111은 채널구분을 위한 직교부호1을 각각 입력받아 각각의 I/Q신호와 승산하여 스크램블러 120으로 출력한다. 또한, 디멀티플렉서

102, 104에 입력되어진 신호들도 상기 동작과 동일한 동작을 수행하여 각각의 해당 스크램블러 124와 128로 입력한다. 그러면, 상기 스크램블링 코드 그룹 생성기 100은 각각의 스크램블러 120, 124, 128에 해당하는 이차적 스크램블링 코드를 생성하여 각각의 스크램블러 120, 124, 128에 출력한다. 이 때, 각각의 스크램블러 120, 124, 128은 상기 해당 승산기에서 입력되어진 신호와 스크램블링 코드 그룹 생성기 100에서 입력되어진 신호들을 복소수상에서 곱하여 실수부분은 합산기 130으로, 허수부분은 합산기 135로 출력한다. 상기 각각의 스크램블러 120, 124, 128에서 스크램블링된 실수 출력을 입력받은 합산기 130은 상기 스크램블링된 신호의 실수부분을 합하여 출력하고, 합산기 135는 스크램블러 120, 124, 128에서 입력되어진 스크램블링된 신호의 허수부분을 합하여 출력한다.

<17> 도2는 상기 도1의 스크램블링 코드 그룹 생성기 100의 블록 구성도를 나타낸 것으로, 여러개의 스크램블링 코드 그룹을 동시에 생성하는 스크램블링 코드 그룹 생성기 100의 구조를 도시하는 도면이다. 실제로, 공통제어채널들은 항상 일차적 스크램블링 코드를 사용하여야 하지만, 데이터 채널과 같이 사용자에 따라 사용되어지는 채널들에 대해서는 직교부호의 부족현상이 일어나면 이차적 스크램블링코드를 사용할 수 있게 된다. 따라서 기지국은 다수개의 스크램블링 코드 그룹을 생성할 수 있어야 한다. 도2를 참조하면 일반적인 스크램블링 코드 그룹 생성기 100은 다수의 골드 시퀀스 생성기 201과 상기 골드 시퀀스 생성기 201 각각에 대한 지연기 203으로 구성된다. 골드 시퀀스 생성기 201은 여러 채널들의 스크램블링 코드에 대한 제어정보들이 상위 계층으로부터 입력되면 각각의 제어정보에 해당하는 골드

시퀀스부호인 스크램블링 코드를 생성하여 I성분으로 출력한다. 지연기 203은 상기 I성분의 스크램블링 코드를 입력받 특정 칩만큼 지연한 후 출력한다. 상기 지연기 203에서 지연되어 출력되는 스크램블링 코드는 Q성분을 갖는다.

<18> 도3은 UMTS의 다운링크(downlink) 수신구조를 도시하는 도면이다. 수신기의 경우 공통 제어 채널의 경우 일차적 스크램블링코드로 스크램블링된 신호를 반드시 디스크램블링할 수 있어야 하고, 동시에 데이터 채널들에 대해서 이차적 스크램블링 부호로 스크램블링된 신호를 받으면 이를 디스크램블링할 수 있어야 하므로, 다수개의 스크램블링 코드를 디스크램블링 할 수 있어야 한다.

<19> 도3을 참조하면, 상기 도1 및 도2와 같은 송신기에서 송신한 신호가 수신되면 상기 수신 신호들의 I/Q성분들은 각각 디스크램블러 310과 315로 입력한다. 스크램블링 코드 그룹 생성기 300은 각각의 채널에 해당하는 스크램블링 코드를 동시에 생성하여 디스크램블러 310과 315로 출력한다. 그러면, 각각의 디스크램블러 310, 315는 입력된 수신신호 $I+jQ$ 를 상기 스크램블링 코드 그룹 생성기 300으로부터 입력된 스크램블링 코드의 conugate를 곱하여 디스크램블링한 후 각각의 승산기 320, 322, 324, 326으로 I/Q성분들을 출력한다. 이 때, 각각의 채널에 할당된 직교부호들은 승산기 320, 322, 324, 326에 입력되어 디스프레딩(Despreaing)되어 해당 멀티플렉서 330, 335로 출력된다. 상기 디스프레딩된 I/Q 성분의 신호를 입력받은 멀티플렉서 330, 335는 상기 I/Q 성분을 디멀티플렉싱하여 출력한다.

<20> 도4는 상기 수신기의 스크램블링 코드 그룹 생성기 300의 블록 구성도로서 여러개의 스크램블링 코드를 동시에 생성하기 위한 구조를 도시하는 도면이다. 상

기 스크램블링 코드 그룹 생성기 300은 공통제어채널들을 위한 일차적 스크램블링 코드를 사용하여야 하지만, 데이터 채널과 같이 사용자에 따라 사용되어지는 채널들에 대해서는 직교부호의 부족현상이 일어나면 이차적 스크램블링코드를 사용할 수 있게 되므로, 항상 단말기는 다수개의 스크램블링부호를 생성할 수 있어야 한다.

<21> 도4를 참조하면, 수신기의 스크램블링 코드 그룹 생성기 300은 송신기의 스크램블링 코드 그룹 생성기 100과 동일하게 다수의 골드 시퀀스 생성기 401과 상기 골드 시퀀스 생성기 401 각각에 대한 지연기 403으로 구성된다. 상기 골드 시퀀스 생성기 401은 각각의 채널들의 스크램블링 코드에 대한 제어정보들을 상위 계층으로부터 입력받아 각각의 제어정보에 해당하는 골드 시퀀스부호를 생성하여 I성분으로 출력한다. 지연기 403은 상기 골드 시퀀스 생성기 401에서 출력되는 I성분의 골드 시퀀스를 입력받고, Q성분의 골드 시퀀스를 생성하기 위해 특정 칩만큼 지연하여 출력한다.

<22> 도 5는 상기 도2와 도4에서 도시되어진 골드시퀀스 생성기의 구조를 나타낸 도면이다.

<23> 이하 도5를 참조하여 설명하면, 통상 골드시퀀스는 두 개의 서로다른 m -시퀀스의 배타적합으로 생성된다. 도5는 상위쪽의 m -시퀀스를 생성하는 쉬프트 레지스터는 생성다항식 $f(x) = x^{18} + x^7 + 1$ 을 가지고 구현되었으며, 하위쪽의 m -시퀀스를 생성하는 쉬프트 레지스터는 생성다항식 $f(x) = x^{18} + x^{10} + x^7 + x^5 + 1$ 을 가지고 구현되어진다.

<24> 상기의 스크램블링 코드 그룹 생성기 구조는 수신기와 송신기가 여러개의 스크램블링 코드를 생성할 수 있어야 하는데, 각각의 스크램블링 코드에 대해 다른 생성기를 사용하는 것은 하드웨어 복잡도를 증가시킨다. 또한, 상기의 스크램블링 코드로 골드시퀀스를 사용할 때, 상기의 스크램블링 코드를 일차적 스크램블링 코드와 이차적 스크램블

링 코드로 나눔에 있어서, 어떤 식으로 분류하느냐에 따라서, 하드웨어 복잡도가 달라질 수 있다.

【발명이 이루고자 하는 기술적 과제】

<25> 따라서 본 발명의 목적은 마스크 함수를 이용하여 일정 길이 단위로 그룹핑되는 스크램블링 코드를 생성하는 스크램블링 코드를 생성하여 하드웨어 복잡도를 최소화 할 수 있는 스크램블링 코드 생성 장치 및 방법을 제공함에 있다.

<26> 본 발명의 다른 목적은 마스크 함수를 이용하여 기지국 구분을 위한 일차적 스크램블링 코드와 채널 코드 구분을 위한 다수의 이차적 스크램블링 코드 순으로 그룹핑되는 스크램블링 코드 생성 장치 및 방법을 제공함에 있다.

<27> 본 발명의 다른 목적은 마스크 함수를 이용하여 기지국 구분을 위한 일차적 스크램블링 코드와, 채널 코드 구분을 위한 다수의 스크램블링 코드 각각이 그룹핑되어 스크램블링 코드를 생성하는 장치 및 방법을 제공함에 있다.

<28> 상기 목적을 달성하기 위해 본 발명은 기지국 구분을 위한 일차적 스크램블링 코드와 채널 구분을 위한 다수의 이차적 스크램블링 코드로 구성되는 스크램블링 코드를 사용하는 국제이동전화서비스(UMTS) 이동통신시스템에서 다운링크 송신기의 스크램블링 코드 생성 장치에 있어서, 제1엠 시퀀스를 생성하는 제1 엠 시퀀스 발생기와, 제2엠 시퀀스를 생성하는 제2 엠 시퀀스 발생기와, 상기 제1엠 시퀀스와 제2엠 시퀀스를 가산하여 일차적 스크램블링 코드를 출력하는 제1가산기와, 상기 제1엠 시퀀스를 일정 길이 단위로 순환 이동시켜 출력하는 다수의 제1마스킹부와, 상기 제1마스킹부 각각에 대응되고 제2

엠 시퀀스를 일정 길이 단위로 순환 이동시켜 출력하는 다수의 제2마스킹부와, 상호 대응되는 상기 제1마스킹부와 제2마스킹부들 사이에 각각 연결되고, 상기 해당 제1마스킹부와 제2마스킹부에서 출력되는 값을 가산하여 이차적 스크램블링 코드를 출력하는 다수의 제2가산기로 이루어져 상기 일차적 스크램블링 코드와 다수의 이차적 스크램블링 코드 순으로 그룹핑된 스크램블링 코드를 생성함을 특징으로 한다.

<29> 상기 다른 목적을 달성하기 위해서 본 발명은 기지국 구분을 위한 일차적 스크램블링 코드와 채널 구분을 위한 다수의 이차적 스크램블링 코드로 구성되는 스크램블링 코드를 사용하는 국제이동전화서비스(UMTS) 이동통신시스템의 다운링크 송신기에서 스크램블링 코드 생성 장치에 있어서, 제1엠 시퀀스를 생성하는 제1 엠 시퀀스 발생기와, 제2엠 시퀀스를 생성하는 제2 엠 시퀀스 발생기와, 상기 제1엠 시퀀스와 제2엠 시퀀스를 가산하여 일차적 스크램블링 코드를 출력하는 제1가산기와, 상기 제1엠 시퀀스를 일정 길이 단위로 순환 이동시켜 마스킹된 제1엠 시퀀스를 출력하는 다수의 제1마스킹부와, 상기 제1마스킹부들과 상기 제2엠 시퀀스 발생기 사이에 각각 연결되고, 상기 마스킹된 제1엠 시퀀스와 상기 제2엠 시퀀스를 가산하여 이차적 스크램블링 코드를 출력하는 다수의 제2가산기로 이루어져 상기 일차적 스크램블링 코드와 상기 다수의 이차적 스크램블링 코드 각각이 배치되어 그룹핑되는 스크램블링 코드를 생성함을 특징으로 한다.

【발명의 구성 및 작용】

<30> 이하 본 발명에 따른 바람직한 실시 예를 첨부한 도면을 참조하여 상세히 설명한다. 우선 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가지도록 하고 있음에

유의해야 한다. 그리고 본 발명을 설명함에 있어서, 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

<31> 상기의 스크램블링 코드로써 골드코드가 사용되는데, 골드코드는 서로 다른 두 개의 m -시퀀스들의 배타적합으로 생성되어진다. 길이 L 을 갖는 상기의 두 m -시퀀스를 $m_1(t)$, $m_2(t)$ 라 하면, 골드코드 집합은 서로 다른 L 개의 서로 상관도 성질이 우수한 골드 시퀀스들로 구성되어지는데, 이 집합를 다음 <수학식1>과 같이 표기할 수 있다.

<32> 【수학식 1】

$$G = \{m_1(t+\tau) + m_2(t) \mid 0 \leq \tau \leq L-1\}$$

<33> 즉, 상기의 <수학식 1>을 설명하면 골드 코드들의 집합은 상기 m -시퀀스 $m_1(t)$ 를 순환 이동(cyclic shift)시킨 시퀀스와 상기 m -시퀀스 $m_2(t)$ 의 합으로 구성된 모든 시퀀스들의 집합이다. 따라서, 본 발명에서는 상기 $m_1(t)$ 를 τ 만큼 순환 이동(cyclic shift) 시킨 시퀀스와 상기 m -시퀀스 $m_2(t)$ 의 합을 $g_\tau(t) = m_1(t+\tau) + m_2(t)$. 따라서, 상기의 골드코드의 주기가 $2^{18}-1$ 이면, 골드코드를 구성하는 m -시퀀스들의 주기가 $2^{18}-1$ 이므로, 상기 $m_1(t)$ 를 최대 $2^{18}-1$ 만큼 순환이동(cyclic shift)시킬 수 있고, 상기 골드코드들의 집합의 원소의 개수는 상기 최대 순환이동 할 수 있는 만큼의 수인 $2^{18}-1$ 과 같다.

<34> 본 발명의 실시예에서 다루어질 골드코드집합은 생성다항식 $f(x) = x^{18} + x^7 + 1$ 을 가지는 m -시퀀스 $m_1(t)$ 와 생성다항식 $f(x) = x^{18} + x^{10} + x^7 + x^5 + 1$ 을 가지는 m -시퀀스 $m_2(t)$ 의 합으로 이루어지는 골드코드들을 원소로하고, 상기 골드코드집합의 원소의 개수는 $2^{18}-1$ 이다.

<35> 기존의 m -시퀀스 $m1(t)$ 의 경우, 상기의 m -시퀀스를 τ 만큼 순환 이동한 수열은 상기 m -시퀀스를 생성하는 쉬프트 레지스터의 메모리값들에 마스크 함수를 취함으로써 얻어질 수 있다.

<36> 본 발명의 실시예에서는 상기의 마스크 함수들을 이용하여 여러개의 골드 시퀀스를 동시에 생성하는 생성기와, 상기 생성기를 이용할 때, 상기 골드시퀀스 집합을 상기의 일차적 스크램블링 코드와 이차적 스크램블링코드 집합으로 효과적으로 나누어 메모리로 저장하여야 할 마스크함수 개수를 줄일 수 있는 방법을 제공한다.

<37> 제 1실시예

<38> 도 6은 상기 제1실시예에 따른 일차적스크램블링 코드와 이차적스크램블링 코드의 구조를 나타낸 도면이다.

<39> 먼저 $2^{18}-1$ 개의 골드시퀀스 중 하나의 골드시퀀스가 선택되어지면 맨 앞의 38400 칩은 일차적 스크램블링 코드로 사용하고, 두 번째 38400칩은 상기 일차적 스크램블링 코드에 대응하는 첫 번째 이차적 스크램블링 코드로, 세 번째 38400칩은 상기 일차적 스크램블링 코드에 대응하는 두 번째 이차적 스크램블링 코드로, 네 번째 38400칩은 상기 일차적 스크램블링 코드에 대응하는 세 번째 이차적 스크램블링 코드로, 다섯 번째 38400칩은 상기 일차적 스크램블링 코드에 대응하는 네 번째 이차적 스크램블링 코드로, 여섯 번째 38400칩은 상기 일차적 스크램블링 코드에 대응하는 다섯 번째 이차적 스크램블링 코드로 사용하게 된다. 이 때, 상기와 같은 일차적 스크램블링 코드가 512개가 사용되어지면 512개의 일차적 스크램블링 코드에 각각 대응하는 이차적 스크램블링 코드

집합은 5개의 이차적 스크램블링 코드로 이루어진다. 구체적으로 설명하면 2^{18-1} 길이의 스크램블링 코드를 38400으로 나누면 6개 그룹핑 스크램블링 코드를 얻을 수 있다. 6개의 그룹핑된 스크램블링 코드 중 첫 번째 그룹핑 스크램블링 코드는 일차적 스크램블링 코드로 사용하고, 나머지 그룹핑 스크램블링 코드들은 이차적 스크램블링 코드로 사용된다. 상기와 같은 구조에서 한 셀에서 어떤 일차적 스크램블링 코드를 사용하고, 이 셀에서 채널 코드 부족현상이 일어나면 데이터 채널과 같은 특정사용자들에게 전송되어지는 채널들에 대해서 상기 일차적 스크램블링 코드에 대응하는 이차적 스크램블링 코드집합의 한 원소인 이차적스크램블링 코드를 사용하게 된다. 도6에서 알 수 있듯이 일단 일차적 스크램블링 코드가 결정되면 그에 대응하는 이차적 스크램블링 코드들은 항상 일차적 스크램블링 코드를 일정간격 순환 이동을 한 형태를 갖는다. 이 때, 상기의 이차적 스크램블링 코드들은 상기 일차적 스크램블링 코드들에 대해 마스크함수를 적용함으로써 생성되어질 수 있는데, 이를 이용하여 하나의 일차적 스크램블링코드와 다수개의 이차적 스크램블링코드를 동시에 생성하는 송신기의 스크램블링 코드 그룹 생성기는 도7에서 도시하였다.

<40> 도 7을 참조하여 설명하면, 본 발명에 따른 스크램블링 코드 그룹 생성기 300은 상위 쉬프트 레지스터 메모리(이하 '제1쉬프트 레지스트 메모리'라 함) 700과 하위 쉬프트 레지스터 메모리(이하 '제2쉬프트 레지스트 메모리'라 함) 705와 다수의 마스킹부 710, 712, 714, 716과 다수의 가산기 740, 742, 744와 다수의 지연기 720, 722, 724로 구성된다. 상기 제1쉬프트 레지스터 메모리 700은 소정의 레지스터 값 ai 를 저장하고 있다. 제2쉬프트 레지스터 메모리 705는 소정의 레지스터 값 bi 를 저장하고 있다.

<41> 마스킹부 710과 712는 상기 제1쉬프트 레지스터 메모리 700의 레지스터 값 ai 를 일

정 칩만큼 순환 이동시키기 위한 각각의 마스크 코드값을 저장하고, 상기 제1шу프트 레지스터 메모리 700의 레지스터 값 ai와 곱하고 합산한 값을 출력한다. 가산기 742와 744로 출력한다. 가산기 730은 상기 제1шу프트 레지스터 메모리 700의 0 번째, 7 번째 레지스터 값을 가산한 값을 18 번째 레지스터로 출력한다.

<42> 마스킹부 714, 716은 상기 제2шу프트 레지스터 메모리 705의 레지스터 값 bi를 일정 집만큼 순환 이동시키기 위한 각각의 마스크 코드값을 저장하고, 상기 제2шу프트 레지스터 메모리 705의 레지스터 값 bi를 곱하고 합산한 값을 가산기 742와 744로 출력한다. 가산기 735는 상기 제2шу프트 레지스터 메모리 705의 0 번째, 5 번째, 7 번째, 10 번째 레지스터 값을 가산한 값을 18 번째 레지스터로 출력한다.

<43> 상기 쇼프트 레지스터 메모리 700과 가산기 730 그리고 쇼프트 레지스터 메모리 705와 가산기 735로 구성되어 것을 m-시퀀스 생성기라 하며, 각각의 생성 다항식에 의해 m-시퀀스를 생성하여 출력한다.

<44> 가산기 740은 상기 제1шу프트 레지스터 메모리 700의 0 번째 레지스터 값과 상기 제2шу프트 레지스터 메모리 705의 0 번째 레지스터 값을 가산하여 출력한다. 상기 가산기 740에서 가산되어 출력되는 스크램블링 코드가 일차적 스크램블링 코드가 된다. 그리고 가산기 742와 744는 상기 제1шу프트 레지스터 메모리 700에 연결된 마스킹부 710과 712에서 각각 출력되는 1비트와 상기 제2шу프트 레지스터 메모리 705에 연결되고, 상기 마스킹부 710과 712에 대응되는 각각의 마스킹부 714와 716에서 출력되는 1비트를 가산하여 출력한다. 즉 상기 마스킹부들은 제1шу프트 레지스터 메모리 700과 제2шу프트 레지스터 메모리 705에 대해 상호 대응되는 마스킹부를 갖는다. 예를 들면, 상기 마스킹부 710에 대응되는 것은 마스킹부 714이고,

마스킹부N 712에 대응되는 것은 마스킹부N 714이다. 상기 대응되는 마스킹부간(마스킹부1 710-마스킹부1 714, 마스킹부 712-마스킹부 716) 사이에 가산기 742와 744가 각각 연결되어 상기 대응되는 마스킹부간에 출력되는 두 비트를 가산하여 출력한다. 이때 출력되는 신호는 I성분을 갖는다.

<45> 지연기 720은 상기 I성분의 신호를 일정 칩만큼 지연하여 Q성분의 신호를 출력한다

<46> 상기 구성에 따른 본 발명의 동작을 설명하면, 상기 제1шу프트 레지스터 메모리 700과 연결되어 상기 제1шу프트 레지스터 메모리 700의 레지스터 값 a_i 를 순환 이동시키기 위한 18개의 레지스터를 가지는 제1шу프트 레지스터 메모리 700과 18개의 쇼프트 레지스터를 가지는 제2шу프트 레지스터 메모리 700에 일차적 스크램블링 코드에 대한 초기 치가 입력되면, 1의 0번째 레지스터 값들은 가산기 740으로 입력되어지고, 상기 제1шу프트 레지스터 메모리 700의 18개의 값 a_i 들은 제1 쇼프트 레지스터의 순환 이동된 N개의 수열을 생성하기 위해 마스킹부1 710 ~ 마스킹부N 712에 입력되어진다. 이와 동시에, 상기 제2шу프트 레지스터 메모리 705의 18개의 값 b_i 들은 제1 쇼프트 레지스터의 순환 이동된 N개의 수열을 생성하기 위해 마스킹부1 714 ~ 마스킹부N 716에 입력되어진다. 그러면, 상기의 마스킹부1 710은 상기 제1 쇼프트 레지스터에서 입력되어진 값들을 1번 째 이차적 스크램블링을 생성하기 위한 마스크함수

k^1 로 마스킹(즉, $\Sigma(k^1, \times \alpha)$)하여 상기 마스킹되어진 값을 가산기 744로 출력한다. 그리고, 상기의 마스킹부N 712는 상기 제1 쉬프트 레지스터에서 입력되어진 값을 N번째 이차적 스크램블링을 생성하기 위한 마스크함수 k^N 로 마스킹(즉, $\Sigma(k^N, \times \alpha)$)하여 상기 마스킹되어진 값을 가산기 742로 출력한다. 또한, 상기의 마스킹부N 714는 상기 하위 쉬프트 레지스터에서 입력되어진 값을 N번째 이차적 스크램블링을 생성하기 위한 마스크함수 s^N 로 마스킹(즉, $\Sigma(s^N, \times \alpha)$)하여 상기 마스킹되어진 값을 가산기 742로 출력한다. 그리고, 상기의 마스킹부1 716은 상기 제1 쉬프트 레지스터에서 입력되어진 값을 첫 번째 이차적 스크램бл링을 생성하기 위한 마스크함수 s^1 로 마스킹(즉, $\Sigma(s^1, \times \alpha)$)하여 상기 마스킹되어진 값을 가산기 744로 출력한다. 그러면 상기 가산기 740은 쉬프트 레지스터 700과 쉬프트 레지스터 705의 0번째 레지스터에서 각각 출력된 비트들을 가산하여 출력한다. 이 출력된 신호들은 바로 출력됨과 동시에 지연기 720으로 입력되어 지연되었다가 출력된다. 그리고, 상기 가산기 742는 마스킹부N 712와 714에서 출력된 두 비트를 가산하여 I 성분으로 출력한다. 출력된 신호들은 바로 출력됨과 동시에 지연기 722로 입력된다. 상기 지연기 722는 상기 가산기 742에서 출력되는 I 성분의 신호를 특정 칩만큼 지연하여 Q 성분의 스크램블 신호를 출력한다. 상기 가산기 744는 마스킹부1 710과 716에서 출력된 두비트를 가산하여 I성분의 신호를 출력한다. 상기 출력된 I성분의 신호들은 바로 출력됨과 동시에 지연기 724로 입력되어 특정 칩만큼 지연되었다가 출력된다. 그러면, 제1쉬프트 레지스터 메모리 700의 값을 중 0번째, 7번째, 17번째 레지스터 값들은 가산기 730으로 출력되어 가산되어지고, 이 때, 왼쪽의 값들이 오른쪽으로 한 칸씩 이동되어 지면, 맨 왼쪽의 레지스터에 가산기

730으로부터 출력된 값이 채워진다. 제2шу프트 레지스터 메모리 705의 값을 중 0번째, 5 번째, 7번째, 10번째, 17번째 레지스터값들은 가산기 735로 출력되어 가산되어지고, 이 때, 왼쪽의 값들이 오른쪽으로 한칸씩 이동되어 지면, 맨 왼쪽의 레지스터에 가산기 735로부터 출력된 값이 채워지면 다시 상기와 같은 동작을 반복하면서 여러 개의 스크램블링 코드를 생성한다.

<47> 도 8은 상기 하나의 일차적 스크램블링 코드와 하나의 이차적 스크램블링 코드를 동시에 생성하는 수신기의 스크램블링 코드 생성기를 도시한다. 수신기는 공통제어 채널과 자신에게 할당된 데이터 채널에 대한 스크램블링 코드만 가지면 되므로 일차적 스크램블링 코드와 이차적 스크램블링 코드 하나씩만 가지면 된다.

<48> 도 8을 참조하면 상위에 18개의 쉬프트 레지스터를 가지는 제1шу프트 레지스터 메모리 800과 하위에 18개의 쉬프트 레지스터를 가지는 제2шу프트 레지스터 메모리 800에 일차적 스크램블링 코드에 대한 초기치가 입력되면, 제1과 하위 쉬프트 레지스터의 0번째 레지스터값들은 가산기 810으로 입력된다. 상기 제1шу프트 레지스터 메모리 800의 18개의 값ai들은 제1 쉬프트 레지스터의 순환 이동된 수열을 생성하기 위해 마스킹부 820에 입력되어진다. 이와 동시에, 상기 하위 레지스터 805의 18개의 값bi들은 하위 쉬프트 레지스터의 순환 이동된 수열을 생성하기 위해 마스킹부 825에 입력되어진다. 그러면, 상기의 마스킹부 820은 상기 제1 쉬프트 레지스터에서 입력되어진 값을 1번째 이차적 스크램블링을 생성하기 위한 마스크함수

k_i 로 마스킹(즉, $\sum(k_i \times a_i)$)하여 상기 마스킹되어진 값을 가산기 810으로 출력한다.

또한, 상기의 마스킹부 825는 상기 하위 쉬프트 레지스터에서 입력되어진 값을 가산기 810으로 출력한다. 이차적 스크램블링 코드를 생성하기 위한 마스크함수 s_i 로 마스킹(즉, $\sum(s_i \times a_i)$)하여 상기 마스킹되어진 값을 가산기 815로 출력한다. 그러면 상기 가산기 810은 쉬프트 레지스터 800과 쉬프트 레지스터 805의 0번째 레지스터에서 각각 출력된 비트들을 가산하여 I성분의 신호를 출력한다. 상기 출력된 I성분의 신호들은 바로 출력됨과 동시에 지연기 830으로 입력되어 특정 칩만큼 지연되었다가 Q성분의 신호로 출력된다. 그리고, 상기 가산기 815는 마스킹부 820과 825에서 출력된 두 비트를 가산하여 I성분의 신호를 출력한다. 이 출력된 신호들은 바로 출력됨과 동시에 지연기 835로 입력되어 지연되었다가 출력된다. 그러면, 제1 레지스터의 값들 중 0번째, 7번째, 17번째 레지스터 값들은 가산기 730으로 출력되어 가산되어지고, 이 때, 왼쪽의 값들이 오른쪽으로 한 칸씩 이동되어 지면, 맨 왼쪽의 레지스터에 가산기 730으로부터 출력된 값이 채워지고, 하위 레지스터의 값들 중 0번째, 5번째, 7번째, 10번째, 17번째 레지스터 값들은 가산기 800으로 출력되어 가산되어지고, 이 때, 왼쪽의 값들이 오른쪽으로 한 칸씩 이동되어 지면, 맨 왼쪽의 레지스터에 가산기 805으로부터 출력된 값이 채워지면 다시 상기와 같은 동작을 반복하면서 여러 개의 스크램블링 코드를 생성한다.

<49> 상기 제1실시 예에서 나타난 스크램블링 코드 생성기는 송신기의 구조에 대해서는 각각의 이차적 스크램블링 코드를 생성하기 위해 제1쉬프트 레지스터 메모리와 제2쉬프트 레지스터 메모리에 각각 다른 2개의 마스크함수를 구비하여야하고, N개의 스크램블링 코드를 생성하기 위해서는 2N개의 마스크함수를 구비하여야 한다.

따라서, 상기의 도6의 일차적 스크램블링 코드와 이차적 스크램블링 코드의 구조를 가짐으로써 상기 도7과 도8과 같은 송수신구조의 스크램블링 코드 생성기를 구현하여 아주 작은 하드웨어 복잡도를 가지는 2N개의 마스크함수만을 더 구비하여 여러개의 스크램블링 코드를 생성할 수 있다.

<50> 제 2실시예

<51> 도 9는 상기 제2실시 예에 따른 일차적스크램블링 코드와 이차적스크램블링 코드의 구조를 나타내는 도면이다. 상기 제1실시 예가 $m1(t)$ 시퀀스와 $m2(t)$ 시퀀스에 모두 마스킹하여 스크램블링 코드를 생성한 데 반하여, 제2실시 예는 $m1(t)$ 는 순환 이동하지 않고, $m2(t)$ 만 순환 이동하여 스크램블링 코드를 생성하는 것이다. 즉, 제2실시 예는 상기 <수학식 1>로 표현되는 실시 예이다.

<52> 도9를 참조하면, 먼저 하나의 일차적 스크램블링 코드에 따라 M개의 이차적 스크램블링 코드가 대응될 때, 골드코드 집합중 1, $M+2$, $2M+3, \dots, 1+k*(M+1), \dots, 511M+512$ 번 골드코드들을 일차적 스크램블링 코드로 사용하고, $I+1$ 번째 일차적 스크램블링 코드로 사용되는 $1+i*(M+1)$ 번째 골드코드에 대응하는 이차적 스크램블링 코드들은 M개의 $2+i*(M+1), \dots, (i+1)*(M+1)$ 번째 골드코드로 구성되어져 있다. 이때, 상기의 각각의 스크램블링 코드는 각각에 해당하는 골드코드의 앞의 38400칩를 반복하여사용하게 되어진다. 이 때, 상기와 같은 일차적 스크램블링 코드가 512개가 사용되어지면 512개의 일차적 스크램블링 코드에 각각 대응하는 이차적 스크램블링 코드 집합은 M개의 이차적 스크램블링 코드로 이루어

진다. 상기와 같은 구조에서 한 셀에서 어떤 일차적 스크램블링 코드를 사용하고, 이 셀에서 채널코드 부족현상이 일어나면 데이터 채널과 같은 특정 사용자들에게 전송되어지는 채널들에 대해서 상기 일차적 스크램블링 코드에 대응하는 이차적 스크램블링 코드집합의 한 원소인 이차적 스크램블링 코드를 사용하게 된다. 도9에서 일단 일차적 스크램블링 코드가 결정되면 그에 대응하는 이차적 스크램블링 코드들은 항상 일차적 스크램블링 코드의 제1шу프트 레지스터만을 순환 이동을 한 형태를 갖는다. 이 때, 상기의 이차적 스크램블링 코드들은 상기 일차적 스크램블링 코드들의 제1 쉬프트 레지스터에 대해 마스크함수를 적용함으로써 생성되어질 수 있다. 이를 이용하여 하나의 일차적 스크램블링 코드와 다수개의 이차적 스크램블링 코드를 동시에 생성하는 송신기의 스크램블링 코드 생성기는 도10에서 나타내었다.

<53> 도 10을 참조하면 스크램블링 코드 그룹 생성기 300은 상위 쉬프트 레지스터 메모리 1040과 하위 쉬프트 레지스터 메모리 1045와 다수의 마스킹부 1000, 1005와 다수의 가산기 1010, 1015, 1030, 1032, 1034와 다수의 지연기 1020, 1022, 1024로 구성된다. 상기 제1шу프트 레지스터 메모리 1040은 소정의 레지스터 값 ai를 저장하고 있다. 제2шу프트 레지스터 메모리 1045는 소정의 레지스터 값 bi를 저장하고 있다.

<54> 마스킹부 1000과 1005는 상기 제1шу프트 레지스터 메모리 1040의 레지스터 값 ai를 일정 칩만큼 순환 이동시키기 위한 각각의 마스크 코드값을 저장하고, 상기 제1шу프트 레지스터 메모리 1040의 레지스터 값 ai와 곱하고 합산한 값을 가산기 742와 744로 출력한다. 가산기 1010은 상기 제1шу프트 레지스터 메모리 1040의 0 번째, 7 번째 레지스터 값을 가산한 값을 18 번째 레지스터로 출력한다.

<55> 가산기 1015는 상기 제2шу프트 레지스터 메모리 1045의 0 번째, 5 번째, 7 번째,

10 번째 레지스터 값을 가산한 값을 18 번째 레지스터로 출력한다.

<56> 가산기 1030은 상기 제1шу프트 레지스터 메모리 1040의 0 번째 레지스터 값을 상기 제2шу프트 레지스터 메모리 1045의 0 번째 레지스터 값을 가산하여 출력한다. 상기 가산기 740에서 가산되어 출력되는 스크램블링 코드가 일차적 스크램블링 코드가 된다. 그리고 가산기 1032와 1034는 상기 제1шу프트 레지스터 메모리 1040에 연결된 마스킹부 1000과 1005에서 각각 출력되는 1비트와 상기 제2шу프트 레지스터 메모리 705에서 출력되는 1비트를 가산하여 출력한다. 이때 출력되는 신호는 I성분을 갖는다. 상기 가산기 1032와 1034에서 출력되는 그룹핑된 스크램블링 코드가 이차적 스크램블링 코드로 사용된다.

<57> 지연기 720은 상기 I성분의 신호를 일정 칩만큼 지연하여 Q성분의 신호를 출력한다

<58> 상술한 바와 같이 본 발명의 제2실시 예에서는 제1шу프트 레지스터 메모리 1040의 레지스터 값만 마스킹하여 순환 이동 시키므로 상기 도9와 같이 스크램블링 코드가 그룹핑됨을 알 수 있다.

<59> 구체적인 동작을 설명 설명하면, 상위에 18개의 쇼프트 레지스터를 가지는 제1шу프트 레지스터 메모리 1040과 하위에 18개의 쇼프트 레지스터를 가지는 제2шу프트 레지스터 메모리 1045에 일차적 스크램블링 코드에 대한 초기치가 입력되면, 제1 및 제2 쇼프트 레지스터 메모리 1040, 1045의 0번째 레지스터 값들은 가산기 1030으로 입력되어지고, 상기 제1шу프트 레지스터 메모리 1040의 18개의 값들은 제1шу프트 레지스터의 순환 이동된 N개의 수열을 생성하기 위해 마스킹부 1 1000 ~ 마스킹부 N 1005에 입력되어진다. 그러면, 상기의 마스킹부 1 1000은 상위 쇼프트 레지스터에서 입력되어진 값을 1번째 이차

적 스크램블링을 생성하기 위한 마스크함수 k^1 로 마스킹(즉, $\Sigma(k^1, \times \alpha)$)하여 상기 마스킹되어진 값을 가산기 1034로 출력한다. 그리고, 상기의 마스킹부N 1005는 상기 제1шу프트 레지스터 메모리 1040에서 입력되어진 값을 N번째 이차적 스크램블링을 생성하기 위한 마스크함수 k^N 로 마스킹(즉, $\Sigma(k^N, \times \alpha)$)하여 상기 마스킹되어진 값을 가산기 1032로 출력한다. 그러면 상기 가산기 1030은 제1шу프트 레지스터 메모리 1040과 제2шу프트 레지스터 메모리 1045의 0번째 레지스터에서 각각 출력된 비트들을 가산하여 출력하고 이 출력된 신호들은 바로 출력됨과 동시에 지연기 1020으로 입력되어 지연되었다가 출력된다. 그리고, 상기 가산기 1032는 마스킹부N 1005와 제2шу프트 레지스터 메모리 1045의 0번째 레지스터에서 각각 출력된 비트들을 가산하여 출력하고 이 출력된 신호들은 바로 출력됨과 동시에 지연기 1022로 입력되어 지연되었다가 출력되고, 상기 가산기 1034는 마스킹부1 1000과 쇼프트 레지스터 1045의 0번째 레지스터에서 각각 출력된 비트들을 가산하여 출력하고 이 출력된 신호들은 바로 출력됨과 동시에 지연기 1024로 입력되어 지연되었다가 출력된다. 그러면, 상위 레지스터의 값을 0번째, 7번째, 17번째 레지스터 값들은 가산기 1010으로 출력되어 가산되어지고, 이 때, 왼쪽의 값들이 오른쪽으로 한 칸씩 이동되어 지면, 맨 왼쪽의 레지스터에 가산기 1010으로부터 출력된 값이 채워지고, 하위 레지스터의 값을 0번째, 5번째, 7번째, 10번째, 17번째 레지스터 값들은 가산기 1015로 출력되어 가산되어지고, 이 때, 왼쪽의 값들이 오른쪽으로 한 칸씩 이동되어 지면, 맨 왼쪽의 레지스터에 가산기 1015으로부터 출력된 값이 채워지면 다시 상기와 같은 동작을 반복하면서 여러 개의 스크램블링 코드를 생성한다.

<60> 도 11은 상기 하나의 일차적 스크램블링 코드와 하나의 이차적 스크램블링 코드를

동시에 생성하는 수신기의 스크램블링 코드 생성기를 나타낸 도면이다.

<61> 본 발명의 제2 실시 예에 따른 수신기는 하나의 이차적 스크램블링 코드만을 사용하므로 마스킹부 1100이 하나만 있으면 된다.

<62> 도 11을 참조하여 수신기의 동작을 설명하면 상위의 18개의 쉬프트 레지스터를 가지는 제1쉬프트 레지스터 메모리1140와 하위의 18개의 쉬프트 레지스터를 가지는 쉬프트 레지스터 메모리1145에 일차적 스크램블링 코드에 대한 초기치가 입력되면, 제1 및 제2 쉬프트 레지스트 메모리 1140, 1145의 0번째 레지스터 값들은 가산기 1120으로 입력되어지고, 상기 제1쉬프트 레지스터 메모리 1140의 18개의 값ai들은 제1쉬프트 레지스터의 순환 이동된 수열을 생성하기 위해 마스킹부 1100에 입력되어진다. 그러면, 상기의 마스킹부 1100은 상기 상위 쉬프트 레지스터에서 입력되어진 값들을 1번째 이차적 스크램블링을 생성하기 위한 마스크함수 k ,로 마스킹(즉, $\Sigma(k, \times a_i)$)하여 상기 마스킹되어진 값을 가산기 1125로 출력한다. 그러면 상기 가산기 1125는 제1쉬프트 레지스터 메모리 1140과 제2쉬프트 레지스터 메모리 1145의 0번째 레지스터에서 각각 출력된 비트들을 가산하여 출력하고 이 출력된 신호들은 바로 출력됨과 동시에 지연기 1130으로 입력되어 지연되었다가 출력된다. 그리고, 상기 가산기 1125는 마스킹부 1100과 제2쉬프트 레지스터 메모리 1145의 0번째 레지스터에서 각각 출력된 비트들을 가산하여 출력하고 이 출력된 신호들은 바로 출력됨과 동시에 지연기 1135로 입력되어 지연되었다가 출력된다. 그러면, 제1쉬프트 레지스터 메모리의 값들중 0번째, 7번째 레지스터 값들은 가산기 1110으로 출력되어 가산되어지고, 이 때, 왼쪽의 값들이 오른쪽으로 한칸씩 이동되어 지면, 맨 왼쪽의 레지스터에 가산기 1110으로부터 출력된 값이 채워진다. 제1쉬프트 레지스터 메모리 1145의 값들 중 0번째, 5번째, 7번째, 10번째 레지스터 값들은 가산기 1115로 출력되어

가산되어지고, 이 때, 왼쪽의 값들이 오른쪽으로 한 칸씩 이동되어 지면, 맨 왼쪽의 레지스터에 가산기 1115로부터 출력된 값이 채워지면 다시 상기와 같은 동작을 반복하면서 여러 개의 스크램블링 코드를 생성한다.

【발명의 효과】

<63> 상기 제1실시 예에서 나타난 스크램블링 코드 생성기는 송신기의 구조에 대해서는 각각의 이차적 스크램블링 코드를 생성하기 위해 상위에 각각 다른 마스크함수들을 구비하여야 하고, N개의 스크램블링 코드를 생성하기 위해서는 N개의 마스크함수를 구비하여야 한다. 따라서, 상기의 도9의 일차적 스크램블링 코드와 이차적 스크램블링 코드의 구조를 가짐으로써 상기 도10과 도11과 같은 송수신구조의 스크램블링 코드 생성기를 구현하여 아주 작은 하드웨어 복잡도를 가지는 N개의 마스크함수만을 더 구비하여 여러 개의 스크램블링 코드를 생성할 수 있는 이점이 있다.

【특허청구범위】**【청구항 1】**

부호분할다중접속 이동통신시스템의 스크램블링 코드 생성 장치에 있어서,

제 1엠 시퀀스를 생성하는 제1 엠 시퀀스 발생기와,

제2엠 시퀀스를 생성하는 제2 엠 시퀀스 발생기와,

상기 제1엠 시퀀스와 제2엠 시퀀스를 가산하여 일차적 스크램블링 코드를 출력하는 제1가산기와,

상기 제1엠 시퀀스를 일정 길이 단위로 순환 이동시켜 마스킹된 제1엠 시퀀스를 출력하는 제1마스킹부와,

상기 제1마스킹부 각각에 대응되고 제2엠 시퀀스를 일정 길이 단위로 순환 이동시켜 마스킹된 제2엠 시퀀스를 출력하는 제2마스킹부와,

상기 마스킹된 제1엠 시퀀스와 제2엠 시퀀스를 가산하여 이차적 스크램블링 코드를 출력하는 제2가산기로 이루어짐을 특징으로 하는 스크램블링 코드 생성장치.

【청구항 2】

제1항에 있어서, 상기 스크램블링 코드 발생기가 상기 일차적 스크램블링 코드와 이차적 스크램블링 코드 순으로 그룹핑된 스크램블링 코드를 생성함을 특징으로 하는 스크램블링 코드 생성 장치.

【청구항 3】

제1항에 있어서, 상기 제1엠 시퀀스 발생기가,
소정 개수의 쉬프트 레지스터를 구비하는 제1쉬프트 레지스터 메모리와,
상기 쉬프트 레지스터 중 소정의 생성 다항식에 의해 해당 쉬프트 레지스터의 값들
을 가산하여 상기 최상위 쉬프트 레지스터로 출력하는 가산기로 이루어짐을 특징으로 하
는 다중 스크램블링 코드 생성장치.

【청구항 4】

제3항에 있어서, 상기 생성 다항식이 이하 수학식 2로 나타내어짐을 특징으로 하는
스크램블링 코드 생성장치.

【수학식 2】

$$f(x) = x^{18} + x^7 + 1$$

【청구항 5】

제1항에 있어서, 상기 제2엠 시퀀스 발생기가,
소정 개수의 쉬프트 레지스터를 구비하는 제2쉬프트 레지스터 메모리와,
상기 쉬프트 레지스터 중 소정의 생성 다항식에 의해 해당 쉬프트 레지스터의 값들
을 가산하여 상기 최상위 쉬프트 레지스터로 출력하는 가산기로 이루어짐을 특징으로 하
는 다중 스크램бл링 코드 생성장치.

【청구항 6】

제5항에 있어서, 상기 생성 다항식이

【수학식 3】

$$f(x) = x^{18} + x^{10} + x^7 + x^5 + 1$$

상기 수학식 3에 의해 나타내어짐을 특징으로 하는 다중 스크램블링 코드 생성장치.

【청구항 7】

제1항에 있어서, 상기 제1가산기 및 제2가산기의 출력이 인페이즈 성분의 스크램블링 코드임을 특징으로 하는 다중 스크램블링 코드 생성장치.

【청구항 8】

제7항에 있어서, 상기 동상 성분의 스크램블링 코드를 상기 제1 및 제2 가산기로부터 입력받아 일정 시간 지연하여 직교 위상 성분의 스크램블링 코드를 출력하는 다수의 지연기를 더 포함함을 특징으로 하는 다중 스크램бл링 코드 생성장치.

【청구항 9】

제1항에 있어서, 상기 스크램블링 코드 생성기가 다수의 이차적 스크램블링 코드를 생성하기 위해 상기 제1 및 제2 마스킹부를 각각 다수개와, 상기 다수의 제1 및 제2 마스킹부의 출력을 가산하여 이차적 스크램블링 코드를 생성하는 다수의 가산기를 더 구비

하고 을 특징으로 하는 다중 스크램블링 코드 생성장치.

【청구항 10】

제9항에 있어서, 상기 다수의 가산기 각각에서 출력되는 신호를 일정 시간 지연하여 출력하는 지연기를 더 구비함을 특징으로 하는 다중 스크램블링 코드 생성장치.

【청구항 11】

부호분할다중접속 이동통신시스템의 스크램블링 코드 생성 방법에 있어서,
제 1엠 시퀀스와 제2엠 시퀀스를 생성하는 과정과,
상기 제1엠 시퀀스와 제2엠 시퀀스를 각각 중복되지 않는 일정 길이 단위로 순환
이동시켜 마스킹된 제1엠 시퀀스와 제2엠 시퀀스를 출력하는 과정과,
상기 제1엠 시퀀스와 제2엠 시퀀스를 가산하여 일차적 스크램블링 코드를 생성하
는 과정과,
상호 대응되는 상기 마스킹된 제1엠 시퀀스와 제2엠 시퀀스를 가산하여 다수의 이
차적 스크램블링 코드를 출력하는 과정으로 이루어짐을 특징으로 하는 방법.

【청구항 12】

제1항에 있어서, 상기 스크램블링 코드 발생 과정이 상기 일차적 스크램블링 코드
와 다수의 이차적 스크램블링 코드 순으로 그룹핑된 스크램블링 코드를 생성함을 특징으

로 하는 방법.

【청구항 13】

부호분할다중접속 이동통신시스템의 스크램블링 코드 생성 장치에 있어서,
제 1엠 시퀀스를 생성하는 제1 엠 시퀀스 발생기와,
제2엠 시퀀스를 생성하는 제2 엠 시퀀스 발생기와,
상기 제1엠 시퀀스와 제2엠 시퀀스를 가산하여 일차적 스크램블링 코드를 출력하
는 제1가산기와,
상기 제1엠 시퀀스를 일정 길이 단위로 순환 이동시켜 마스킹된 제1엠 시퀀스를 출
력하는 다수의 제1마스킹부와,
상기 마스킹된 제1엠 시퀀스와 상기 제2엠 시퀀스를 가산하여 이차적 스크램블링
코드를 출력하는 다수의 제2가산기로 이루어짐을 특징으로 하는 다중 스크램블링 코드
생성장치.

【청구항 14】

제13항에 있어서, 상기 스크램블링 코드 발생기가 상기 일차적 스크램블링 코드와
상기 다수의 이차적 스크램블링 코드들 각각이 대해 대응되어 그룹핑되어 스크램블링 코
드를 생성하는 다중 스크램블링 코드를 생성하는 장치.

【청구항 15】

제13항에 있어서, 상기 이동통신시스템의 송신기가 상기 제1마스킹부와 제2가산기를 다수개 구비하여 다수의 이차적 스크램블링 코드를 생성함을 특징으로 하는 다중 스크램블링 코드 생성장치.

【청구항 16】

제13항에 있어서, 상기 이동통신시스템의 수신기가 상기 일차적 스크램블링 코드와 이차적 스크램블링 코드를 각각 하나씩 생성함을 특징으로 하는 다중 스크램블링 코드 생성장치.

【청구항 17】

부호분할다중접속 이동통신시스템의 스크램블링 코드 생성 방법에 있어서, 제 1엠 시퀀스와 제2엠 시퀀스를 생성하는 과정과, 상기 제1엠 시퀀스들을 각각 중복되지 않는 일정 길이 단위로 순환 이동시켜 다수의 마스킹된 시퀀스들을 출력하는 과정과, 상기 제1엠 시퀀스와 제2엠 시퀀스를 가산하여 일차적 스크램블링 코드를 생성하는 과정과,

상기 제2엠 시퀀스와 상기 마스킹된 시퀀스들을 가산하여 이차적 스크램블링 코드를 출력하는 과정으로 이루어져 상기 일차적 스크램블링 코드와 상기 이차적 스크램블링

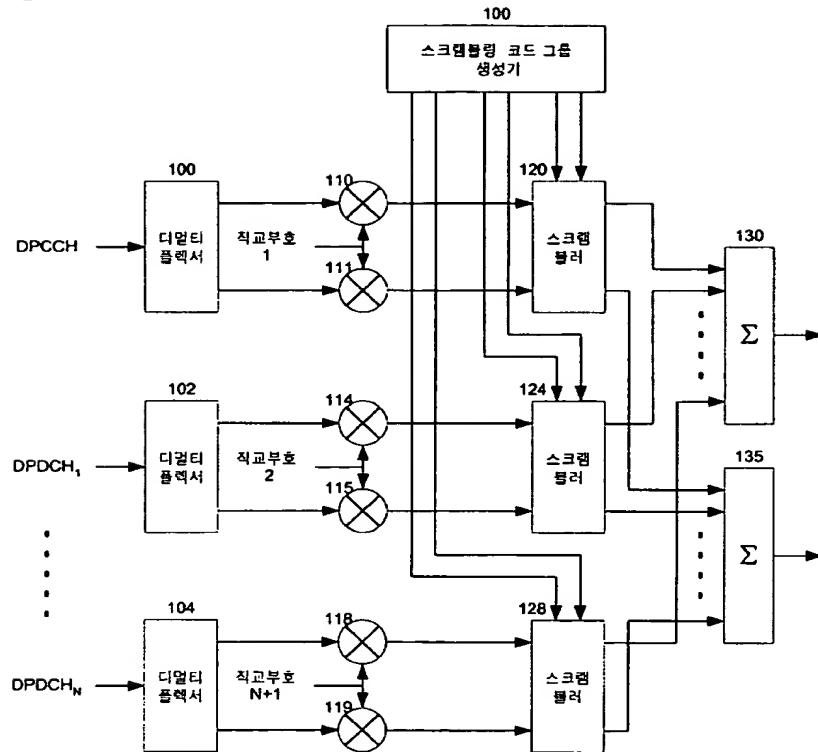
1019990027279

2000/7/2

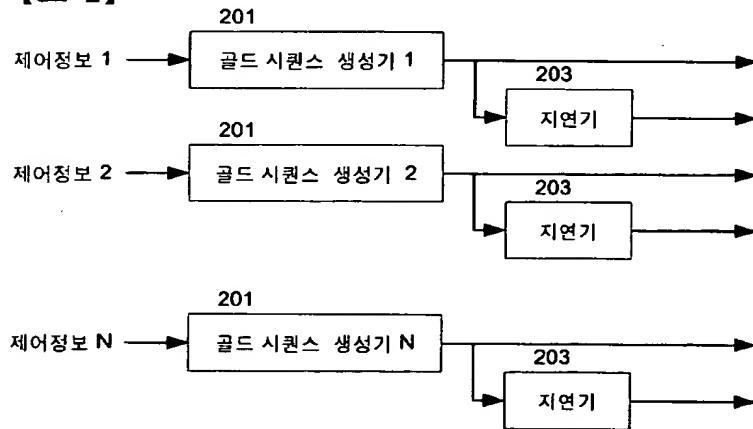
코드를 각각에 배치하여 그룹핑하는 스크램블링 코드를 생성하는 방법.

【도면】

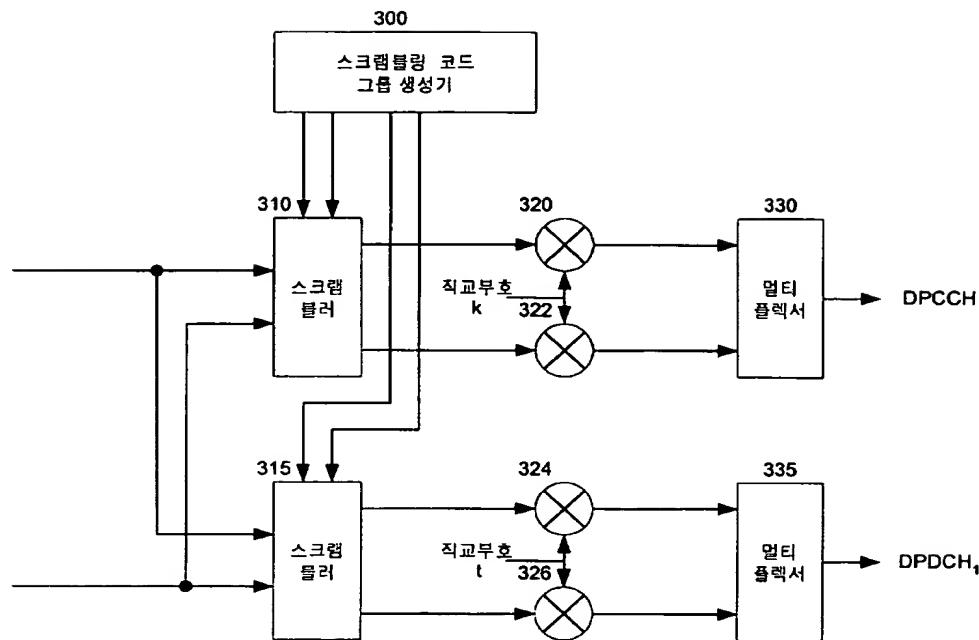
【도 1】



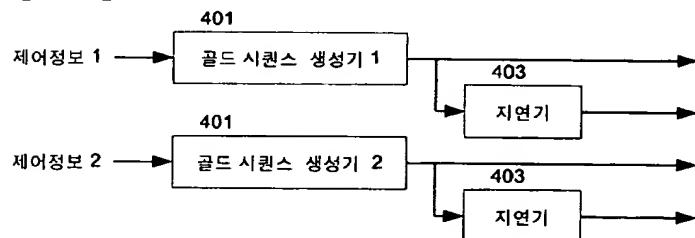
【도 2】



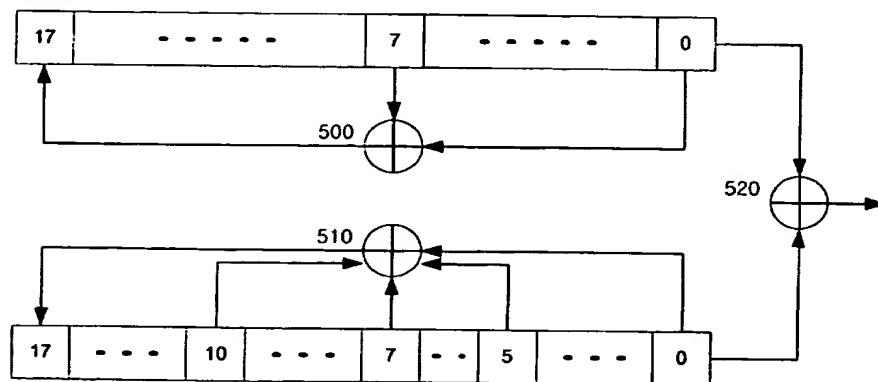
【도 3】



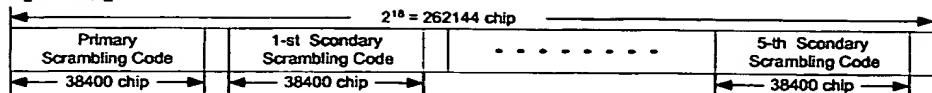
【도 4】



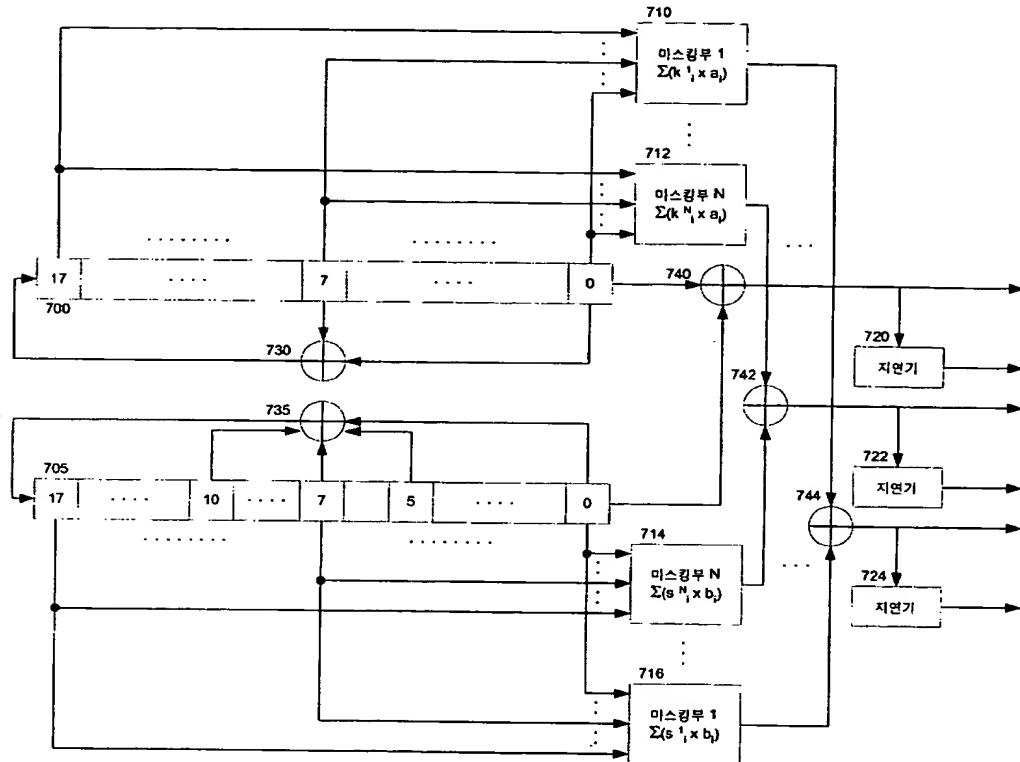
【도 5】



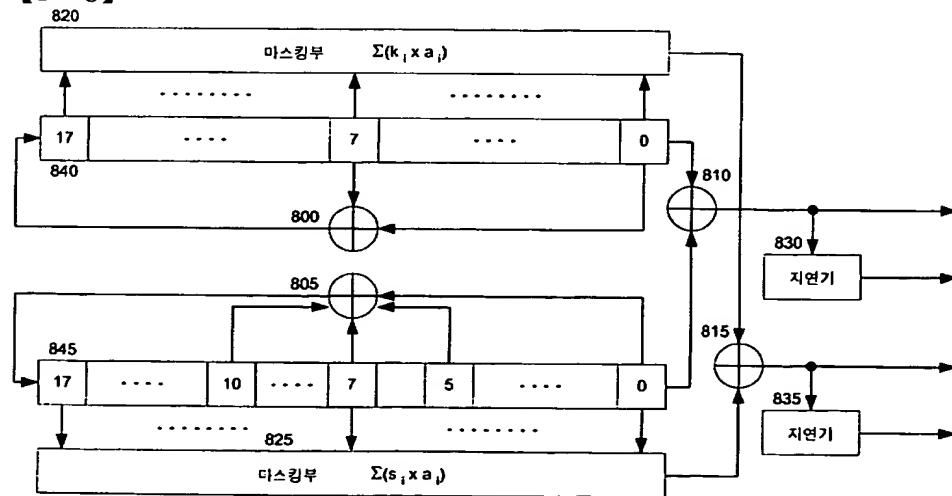
【도 6】



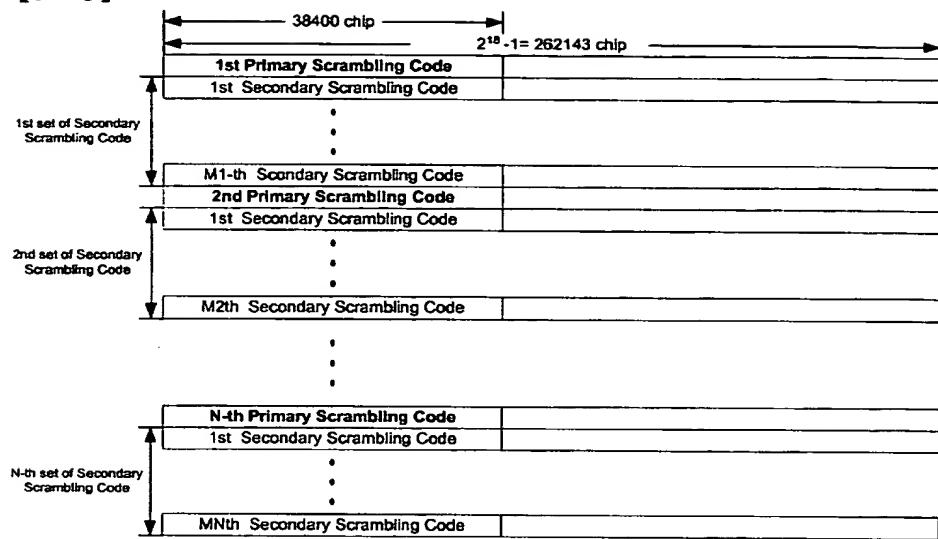
【도 7】



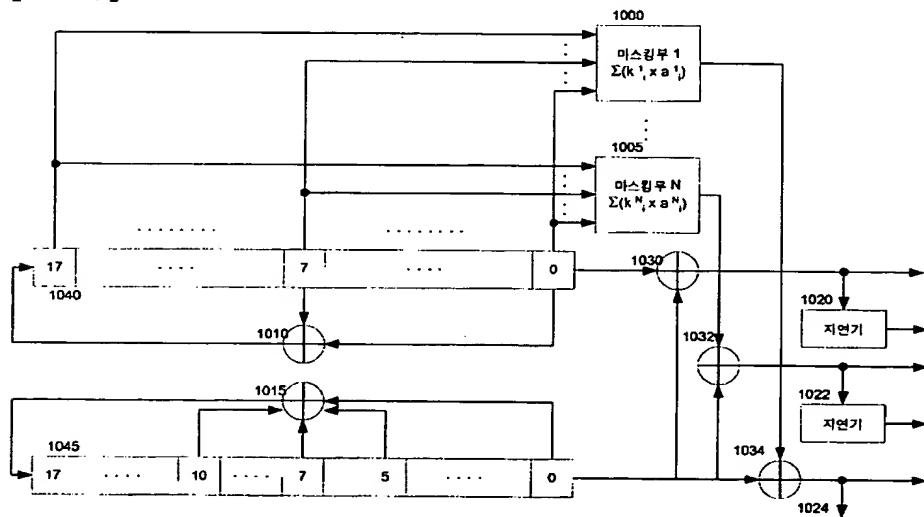
【도 8】



【도 9】



【도 10】



【도 11】

